

Semiconductor device with improved connection reliability

Patent Number: ☐ US6013953
Publication date: 2000-01-11
Inventor(s): NISHIHARA TOSHIYUKI (JP); TANIOKA MICHINOBU (JP); FUJII MASAHIRO (JP);
TANAKA YASUNORI (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested
Patent: ☐ JP10209317
Application
Number: US19980008006 19980116
Priority Number
(s): JP19970005404 19970116
IPC Classification: H01L23/48
EC Classification: H01L23/498C4, H01L23/498G
Equivalents: ☐ GB2321339, JP2982729B2

Abstract

A semiconductor device comprises a substrate on which a plurality of external connection terminals are formed, and a semiconductor chip provided with a plurality of connection terminals. The connection terminals are connected to corresponding external connection terminals by electrical wiring. Each of predetermined connection terminals in the connection terminals of the semiconductor chip is connected to two or more corresponding external connection terminals on the substrate. Preferably, 90% or more of the connection terminals of the semiconductor chip are connected to two or more corresponding external connection terminals. When the semiconductor device is installed on a circuit board, the semiconductor device is mounted on the circuit board with its external connection terminals facing the circuit board, and electric connections between the semiconductor device and the circuit board is established by the external connection terminals. According to the semiconductor device, connection reliability between the semiconductor device and the circuit board can be remarkably improved and installation process can be executed with a higher success rate and a remarkably higher degree of efficiency.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209317

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁶

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

L

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平9-5404

(22) 出願日 平成9年(1997) 1月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西原 寿之

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 田中 靖則

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 谷岡 道修

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 丸山 隆夫

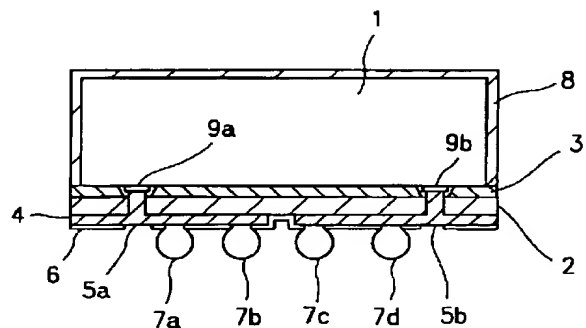
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置に形成された外部接続端子の接続信頼性を向上させ、接続不良率の低減を図ることができる半導体装置を提供する。

【解決手段】 半導体チップ1上の複数の接続電極9 a、9 bが形成された面にポリイミド基板2を接着剤3を介して固着し、ポリイミド基板2上の接着剤3に接する面と反対側の面に半田バンプ7 a、7 b、7 c、7 dを形成する。ここで、2個の半田バンプ7 a、7 bと接続電極9 aとを銅箔4を配線として接続し、同様に、2個の半田バンプ7 c、7 dと接続電極9 bとを銅箔4を配線として接続する。



【特許請求の範囲】

【請求項1】 外部接続端子を有する中継基板と複数の接続電極を有する半導体チップとで構成され、該半導体チップの接続電極が、前記外部接続端子と配線で接続された半導体装置において、前記半導体チップの接続電極が、前記中継基板上の2以上の前記外部接続端子に接続されていることを特徴とする半導体装置。

【請求項2】 前記複数の接続電極の90%以上の接続電極のそれぞれが2以上の外部接続電極と接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記外部接続端子が半導体装置の実装面に格子状に配置されていることを特徴とする請求項1から2のいずれかに記載の半導体装置。

【請求項4】 前記外部接続端子が、金属ボール、金属バンプ、金属ランドのいずれかにより構成されていることを特徴とする請求項1から3のいずれかに記載の半導体装置。

【請求項5】 前記接続電極を接続する2以上の前記外部接続端子のうち、一つの外部接続端子がその形成されている面に対して外側に、一つの外部接続端子がその形成されている面に対して内側に配置されていることを特徴とする請求項1から4のいずれかに記載の半導体装置。

【請求項6】 前記外部接続端子がセラミック基板、プリント基板又は樹脂フィルムの上いずれかの上に形成されていることを特徴とする請求項1から5のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は内部に電子回路を有し、他の電子回路を配置したプリント基板と接続される外部接続端子を有する半導体装置に関し、特に内部の半導体チップと接続された多数の外部接続端子を有する大規模集積回路(LSI)PKG(パッケージ)の半導体装置に関する。

【0002】

【従来の技術】近年、携帯電話機、携帯型テレビ、携帯型パーソナルコンピュータに代表されるように携帯型の商品が続々と市場に登場している。これらの商品の小型化、軽量化、薄型化の要求は年々厳しさを増してきている。

【0003】上述の商品には半導体チップを使用するため、これらの商品の小型化、軽量化、薄型化の要求に応えるべく、製造プロセスの微細化技術を駆使した大規模な半導体チップが間断なく開発されている。しかし、半導体チップ内部の回路の規模が大きくなるにつれて半導体チップの外部接続端子の数は増加し、従って、半導体チップが大型化し、これに伴い半導体装置が大型化するという問題点が発生した。

【0004】この問題点を解決するために半導体PKGは、数多くの工夫や発明がなされてきている。QFP(Quad Flat Package)、TSOP(Thin Small Outline Package)等の半導体PKGは樹脂パッケージ内に半導体チップを封止し、外部接続端子はパッケージ外部にリードフレームを放射状又はパッケージの両側面に突出させたものである。さらに、半導体装置の大型化を阻止するためにこのリードフレームのピッチを狭小化する技術が開発されてきた。

【0005】さらに高密度化を図るために半導体チップのみ(以下、ベアチップとも言う。)を直接回路基板上に装着し、半導体チップの電極と回路基板電極とをワイヤにより接続する方法(チップオンボード)や、さらにワイヤの面積削減のため、半導体チップの電極にバンブ(金属の突起物)を形成し、回路面を下向きにして回路基板に搭載して接続する方法(フリップチップ)が実用化されている。

【0006】しかし、これらのベアチップ実装による半導体装置の小型化は、特性が保証されている半導体チップ(Known Good Die)の入手が当面困難であること、さらに、特性が保証されている半導体チップを入手したとしても、ベアチップで組立てた後に特性が変動してしまう、という問題点があった。

【0007】そこで、ベアチップ実装を行う場合は、特に特性の安定した半導体チップのみを選定する必要がある。このため、装置に使用する全ての半導体PKGをベアチップにできず、小型化の大きな障害になっており、KGD(Known Good Die)済みのベアチップ供給が世間一般の装置メーカーから半導体メーカーへ要求されてきている。

【0008】この要求に対し、半導体メーカーは、実装面積がほぼチップサイズであり(フリップチップとほぼ同等)、半導体パッケージとして組み立てられ、その特性が保証された半導体装置であるCSP(チップサイズパッケージ)を開発した。

【0009】CSPは、ベアチップ実装の場合と異なり、外部接続端子のピッチが0.5mm~1.0mmと拡大できるため、従来のSMDと一緒に搭載、リフローが可能である。CSPとこれを搭載するプリント基板との間の接続は、CSPに形成された半田バンプにより行う。

【0010】以下、図面を参照して従来の半導体装置について説明する。図9に従来の半導体装置の実装面から見た斜視図を示す。半導体チップ1は接続電極9を有する回路面を中継基板であるポリイミド基板2と接着剤3により固定されている。ポリイミド基板2の半導体チップ1と接する面の裏面には銅箔4および半田ボールによる半田バンプ7が形成され、銅箔4は外部接続端子である半田バンプ7に接続されている。また、銅箔4上にはレジスト6が塗布されている。銅箔4は半導体チップ1

の接続電極9直上まで配線されており、半導体チップ1の接続電極9と銅箔4は銅スルーホール5で接続されている。この接続方法は、TAB技術の手法であるギャング（一括）ボンディングやシングルポイントボンディングにより行われる（これをInner Bump Bondingと呼ぶ。）。これにより、半田バンプ7と半導体チップ1の接続電極9が一对一对で接続される。さらに、半導体チップ1は外周を封入樹脂8で覆われており外部からの影響が遮断されている。

【0011】図10に従来の半導体装置の断面図を示す。本図は図9と上下を逆に（実装面を下側に）示した図である。図9、図10は、少ピン系の半導体チップ1を用いた半導体装置でそのサイズは、ほぼ半導体チップ1と同じサイズになる。多ピン系の半導体チップ1'を用いた場合は、図11に示すように、半田バンプ7が銅スルーホール5の外側にも配置され、若干半導体チップ1'よりもサイズの大きくなる。これら従来の半導体装置は、例えば特開平8-204062号公報に開示されている。

【0012】前述した半導体装置（チップサイズパッケージ）の外部接続端子はポリイミド基板2の実装面に配置され、通常は多数の外部接続端子を配置するために実装面に格子状（グリッド状）に配置される。また、ボール状のバンプで形成された外部接続端子を持つものは一般にボールグリッドアレイと称されている。もちろんバンプを使用しない接続法も存在する。

【0013】

【発明が解決しようとする課題】しかしながら、これらグリッドアレイ状の外部接続端子は実装された状態では目視することはできないため、接続に不都合が生じたとしても、作業者が直接目視して修正作業を加えることは不可能であるという問題点を有する。

【0014】従って、外部接続端子の接続の良否については別な方法、例えば測定器を使用してLSIの機能チェックにより判定する方法やX線検査装置による方法に頼ることになる。このチェックにより外部接続端子に不都合が発生していることが判明した場合には、一度半導体装置を回路基板から取り外す作業をし、不都合箇所を点検し、その改善の後再度回路基板に実装し、再度機能チェック等により良否を判定することになる。この作業工程は一般に非能率的なものであり、かつ特殊な作業用ツールを必要とし、熟練した作業者でなければできないという問題点を有する。

【0015】本発明は上記事情に鑑みなされたもので、半導体装置と半導体装置を搭載するプリント基板との間の接続信頼性を向上させ、接続不良率の低減を図ることのできる半導体装置を提供することを目的としており、結果としてSMD（サーフェイス マウント デバイス）搭載の製造工程の直行率の向上を図り、製造コストの低減に寄与することができる半導体装置を提供するこ

とを目的とする。

【0016】

【課題を解決するための手段】請求項1記載の発明は、外部接続端子を有する中継基板と複数の接続電極を有する半導体チップとで構成され、該半導体チップの接続電極が、前記外部接続端子と配線で接続された半導体装置において、前記半導体チップの接続電極が、前記中継基板上の2以上の前記外部接続端子に接続されていることを特徴とする。

10 【0017】請求項2記載の発明は、請求項1記載の発明において、前記複数の接続電極の90%以上の接続電極のそれぞれが2以上の外部接続電極と接続されていることを特徴とする。

【0018】請求項3記載の発明は、請求項1又は2に記載の発明において、前記外部接続端子が半導体装置の実装面に格子状に配置されていることを特徴とする。

【0019】請求項4記載の発明は、請求項1から3のいずれかに記載の発明において、前記外部接続端子が、金属ボール、金属バンプ、金属ランドのいずれかにより構成されていることを特徴とする。

20 【0020】請求項5記載の発明は、請求項1から4のいずれかに記載の発明において、前記接続電極を接続する2以上の前記外部接続端子のうち、一つの外部接続端子がその形成されている面に対して外側に、一つの外部接続端子がその形成されている面に対して内側に配置されていることを特徴とする。

【0021】請求項6記載の発明は、請求項1から5のいずれかに記載の発明において、前記外部接続端子がセラミック基板、プリント基板又は樹脂フィルムのいずれかの上に形成されていることを特徴とする。

30 【0022】本発明の半導体装置では、半導体装置の内部の電子回路の1つの接続電極が2以上の外部接続端子に接続されているため、半導体装置搭載時の接続信頼性を向上させることができる。

【0023】また、前記半導体装置の内部の電子回路の接続電極のうち90%以上の接続電極が、半導体装置の内部において各々2以上の前記外部接続端子に接続されているので、半導体装置搭載時の接続信頼性が向上し、接続不良の手直しに要する工数を削減することができる。

【0024】

【発明の実施の形態】次に、本発明に係る半導体装置の一実施形態について図面を参照して説明する。図1は本発明に係る半導体装置の第1の実施形態の断面図である。ただし、図10に示す従来の半導体装置と同様な部材には同様な番号を付す。

【0025】この半導体装置は、内部に電子回路を有する半導体チップ1と、ポリイミド基板2と、半導体チップ1とポリイミド基板2とを接着する接着剤3と、銅箔4と、レジスト6と、半田バンプ7とで構成されてい

る。より具体的には、半導体チップ1は接続電極9を有する面を中継基板であるポリイミド基板2と接着剤3により固定されており、ポリイミド基板2の半導体チップ1と接する面の裏面には銅箔4および半田ボールによる半田パンプ7a~7dが形成され、銅箔4は外部接続端子である半田パンプ7a~7dに接続されている。銅箔4は半導体チップ1の接続電極9a又は9b直上まで配線されており、半導体チップ1の接続電極9a又は9bと銅箔4は銅スルーホール5a、5bで接続されている。この接続方法は、TAB技術の手法であるギャング（一括）ボンディングやシングルポイントボンディングにより行われる。半導体チップ1は外周を封入樹脂8で覆われており外界の影響から遮断されている。ただし、上述の外部接続端子としては、半田ボールに限定されることなく、その他の金属ボール、金属パンプ、金属ランド等でも良いことは明らかである。

【0026】図1からも明らかなように、本発明に係る半導体装置においては従来の半導体装置と異なり、2個の半田パンプ7a、7bが一個の銅スルーホール5aに接続され、一個の半導体チップ1の入出力端子である接続電極9aに接続されている。具体的には、銅スルーホール5aが半田パンプ7a、7bに、銅スルーホール5bが半田パンプ7c、7dに接続されている。

【0027】図2は、上記半導体装置の外部接続端子が偶数個の場合の半導体装置の裏面、すなわちプリント基板に実装される面を示したものである。

【0028】この図では、半田パンプ7は下側の4分の1の三角形の部分についてのみ詳述し、他の右、上、左の三角形の部分は下側の三角形の部分と同一の配置になるので省略してある。

【0029】この図に示されるように半導体チップ1の接続電極と銅スルーホール5の接続部が外周に配置され、半導体チップ中央部に外部接続端子である半田パンプ7が縦横各16個の0.5mmピッチで格子状に合計256個配置されている。

【0030】図3に銅スルーホール5と半田パンプ7との配線パターン10の一例を示す。64個の半田パンプ7と32個の銅スルーホール5とが配置され、64個の半田パンプ7の内のいずれか2個の半田パンプ7を一個の銅スルーホール5に接続するように構成されている。また、この図に示されるように2個の半田パンプ7は、一個は外側にもう一個はできるだけ内側になるように配置されている。

【0031】図2、図3に示した実施形態では、半田パンプ7の収容面積が7.5mm角必要であるため、半導体チップ1の接続電極9が約8.5mm角以上で配置されないと内側の領域に配置できない。また、半導体チップ1の1個の接続電極9を2個の半田パンプ7に100%接続するためには、半導体チップ1の接続電極9は、128個必要になる。8.5mm角上への半導体チップ

1の接続電極数は、ピッチを124ミクロンと仮定すると、244ピンまで配置可能である。

【0032】このため、図2、図3に示した実施形態は、半導体チップ1の接続電極9が244ピンあり、そのうち実際に使用するピン数が、128ピンの場合を示していることになる。244ピン全てを2個の半田パンプ7に接続する場合には、図4に示すように半導体チップ1の接続電極9より外のエリアにも半田パンプ7b、7dを配置する必要がある。

10 【0033】図5は、本発明に係る半導体装置の外部接続端子が奇数個の場合の半導体装置の裏面、すなわちプリント基板に実装される面を示したものである。本図も図2同様に半田パンプ7は下側の4分の1の三角形の部分についてのみ詳述し、他の右、上及び左の三角形の部分は下側の三角形の部分と同一の配置になるので省略してある。また、この三角形の部分の半田パンプ7の配置は左右対称になっている。

20 【0034】この図に示されるように半導体チップ1の接続電極9と銅スルーホール5の接続部が外周に配置され、半導体チップ中央部に外部接続端子である半田パンプ7が縦横各17個の0.5mmピッチで格子状に配置されているが、中央の1個は使用しないため、半田パンプ7は合計288個配置されていることになる。

【0035】図6に銅スルーホール5と半田パンプ7との配線パターン10の一例を示す。ただし、図5に示す半田パンプ7の配置が、三角形の部分の左右が対称であるため、右半分についてのみ示す。この図において、36個の半田パンプ7と18個の銅スルーホール5とが配置され、2個の半田パンプ7を1個の銅スルーホール5

30 に接続するように構成されている。

【0036】図5、図6に示した実施形態では、半田パンプ7の収容面積が8.0mm角必要であるため、半導体チップ1の接続電極9が約9.0mm角以上で配置されないと内側の領域に配置できない。また、半導体チップ1の1個の接続電極9を2個の半田パンプ7に100%接続するには、半導体チップ1の接続電極9は、144個必要になる。

【0037】9.0mm角上への半導体チップ1の接続電極数は、ピッチを124ミクロンと仮定すると、264ピンまで配置可能である。このため、図5、図6の実施形態は、半導体チップ1の接続電極が264ピンあり、そのうち実際に使用するピン数が144ピンの場合を示していることになる。264ピン全てを2個の半田パンプ7に接続する場合には、前述した図4と同様に半導体チップ1の接続電極9より外のエリアにも半田パンプ7を配置する必要がある。

【0038】従ってこの第1の実施形態によれば、2個の半田パンプ7を一個の銅スルーホール5に接続するように構成されているため、接続不良率が改善され、生産効率を向上させることができる。

【0039】図7は本発明に係る半導体装置の第2の実施形態を示す図である。この半導体装置は、ポリイミド基板2上のインシュレータ11上に複数の接続電極を有する半導体チップ1が搭載されている。また、ポリイミド基板2の半導体チップが搭載されている面と反対側の面には、レジスト6及び銅パターン14a、14bが形成されており、銅パターン14aの上には外部接続端子として半田パンプ7a、半田パンプ7bの2個の半田パンプが形成され、銅パターン14bの上には外部接続端子として半田パンプ7a、半田パンプ7bの2個の半田パンプが形成されている。銅パターン14a、14bはそれぞれ、ポリイミド基板2の銅スルーホール5a、5bを介して半導体チップ1が形成されている面に貫通し、銅電極15a、15bを形成する。また、ポリイミド基板2、インシュレータ11及び半導体チップ1は全体としてエポキシ樹脂13で覆われている。

【0040】この半導体装置の半導体チップ1のそれぞれの接続電極は、それぞれの接続電極に対応する金属ワイヤ12a、金属ワイヤ12bによって、図に示すように銅電極15a、15bと接続されている。銅電極上にはNiめっき(MIN5 μ m)+Auめっき(厚付またはフラッシュ)が施されている。銅電極15a、15bはスルーホール5a、5bを介して、半導体チップ1が形成されている面の裏面に形成された銅パターン14a、14bと接続しており、それぞれの銅パターン14a、14bには、図に示すようにそれぞれ2個の半田パンプが形成されているので、この第2の実施形態によれば、第1の実施形態と同様な効果が得られる。

【0041】次に、図面を参照して接続不良率の変化について説明する。図8は、本発明に係る半導体装置の接続不良率の変化を示すグラフである。このグラフにおいて、半導体チップの接続電極の数を128とし、一個の外部接続端子あたりの接続不良率を50ppm(part per million)として想定している。グラフの縦軸は1個のLSIのピンあたりの接続不良率がppm単位で表されており、横軸は半導体チップの接続電極のうち何パーセントの接続電極が2個の外部接続端子に接続されているかをパーセント単位で表してある。この場合半導体チップの接続電極の数を128としているため、横軸が0%から100%の範囲内で、接続電極に接続されている外部接続端子(半田パンプ)の数が128から256までの間で推移することになる。

【0042】この試算で想定した50ppmの接続不良率は百万箇所の接続に対して五十箇所の接続不良が発生することを意味するもので、この発生頻度は極めて低い数値であり、接続の信頼度は高い。また、良く管理された作業工程においてはこの程度の接続不良率を維持することはできる。

【0043】しかし、128ピンのLSIの半導体装置を考えてみると、もし1個の接続電極に1個の外部接続

端子を接続したとすると、1個のLSIあたりの接続不良率は図8に示すように、

$$128 \times 50 \text{ ppm} = 6400 \text{ ppm}$$

となり、プリント基板1枚にこの半導体装置1個を搭載した場合、プリント基板1万枚あたり最大64個の不良が発生することになる。これは156枚のプリント基板に一箇所の接続不良が発生することになり、品質上無視できないものである。

【0044】一方、本発明のように半導体チップの接続電極と接続されている銅スルーホールをそれぞれ各々2個の半田パンプと接続した場合、1個の接続電極に接続されている2個の半田パンプが同時に接続不良になる確率は、

$$50 \text{ ppm} \times 50 \text{ ppm} = 0.0025 \text{ ppm}$$

となり、半導体チップの接続電極と半導体装置の外部接続端子が一対一対応時の接続不良率と比較すると、飛躍的に向上する。また、128個の接続電極のすべてを、各々2個の半田パンプと接続した場合の1個のLSIあたりの接続不良率は、

$$128 \times 0.0025 \text{ ppm} = 0.32 \text{ ppm}$$

となり、従来の接続不良率に比べて2万分の1に低減される。

【0045】上述の内容はプリント基板と半田パンプが接続されていないようなオープンモードの接続不良のみに適用されるものであり、隣接した半田パンプ同士が半田ブリッジにより短絡するショートモードには適用されない。しかし、よく管理された製造工程の中では圧倒的にオープンモードの不都合が発生する割合が多い。何故ならばショートモードが発生する場合としては、電導性のあるゴミが付着する場合や、半田接続をする際にはその半田量の管理が不適切な場合に発生するものだからである。従って、総合的な接続不良率を試算するのにはオープンモードのみ考慮すれば実用上足りることになる。

【0046】次に、半導体チップの接続電極のうちどの程度の割合の端子数を2個の外部接続端子(半田パンプ)と接続したらよいかを検討する。

【0047】半導体チップの接続電極のうち各々2個の外部接続端子と接続されているものの割合(以降この割合をAと略す。)と1個のLSIあたりの接続不良率は図8に示すように、Aが小さいときには接続信頼性の向上への貢献は少ないが、Aが大きければ大きいほど接続信頼性は向上するので、A=100%、即ち半導体チップの全ての接続電極が各々2個の外部接続端子と接続することが理想であることはこの図からも明らかである。しかしながら、A=100%としなくても、Aが90%以上となると接続信頼性は急速に向上し、1桁以上の改善が期待できるので、コスト、製造効率等とのバランスを考えるとA=90%以上とするのが好ましい。

【0048】上述の説明では半導体チップの1個の接続電極に2個の外部接続端子(半田パンプ)を接続した

が、半導体チップの1個の接続電極に3個の外部接続端子(半田バンプ)を接続しても良い。この場合でも接続不良率の改善の効果は認められる。しかし、1個の接続電極を各々2個の外部接続端子と接続する場合と比較して、現実的な効果は少ないと考えられる。

【0049】例えば1個の接続電極を各々3個の外部接続端子と接続する場合の接続不良率を前例と同様な方法で計算すると、

$$50 \text{ ppm} \times 50 \text{ ppm} \times 50 \text{ ppm} = 0.00000125 \text{ ppm}$$

となり数値上は良好な効果が得られる。しかし、接続不良率以外の不良率との関係や、外部接続端子の必要面積が増大するため、実装効果が低下することを考慮すると、費用対効果の点であり得策ではない。

【0050】

【発明の効果】以上説明したように本発明によれば、第1の効果として、半導体チップの1個の接続電極を2個の外部接続端子と接続するので、半導体装置と電子回路を有する配線基板との接続信頼度を飛躍的に向上させることができ、特に、目視作業により直接的にかつ容易に修正作業ができないBGA(ボールグリッドアレイ)、TBGA(テープボールグリッドアレイ)、CSP等の半導体装置の実装においてはその作業効率を格段に向上させることのできる半導体装置を提供することができる。

【0051】さらに、第2の効果として、外部接続端子の数が増加するため、プリント基板と半導体装置との間の接着強度が増すことになり、接続の信頼性向上に相乗効果をもたらすことのできる半導体装置を提供することができる。

【0052】また、第3の効果として、半導体装置と電子回路を有する配線基板との熱膨張係数差による半導体装置の外部接続端子へのストレスは外側ほど大きく、内側では小さくなるが、半導体チップの1個の接続電極と接続される2個の外部接続端子を図2または図6に示すように1個は外側にもう1個はできるだけ内側に配置することにより、半導体装置搭載時の接続歩留まりの向上と長期接続信頼性向上を図ることができる半導体装置を*

*提供することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一実施形態の断面を示す図である。

【図2】本発明に係る半導体装置の一実施形態の裏面を示す図である。

【図3】本発明に係る半導体装置の外部接続端子の結線パターンの一例を示す図である。

【図4】本発明に係る半導体装置の一実施形態の断面を示す図である。

【図5】本発明に係る半導体装置の一実施形態の裏面を示す図である。

【図6】本発明に係る半導体装置の外部接続端子の結線パターンの一例を示す図である。

【図7】本発明に係る半導体装置の一実施形態の断面を示す図である。

【図8】本発明に係る半導体装置の不良率の変化を示すグラフである。

【図9】従来の半導体装置の斜視図である。

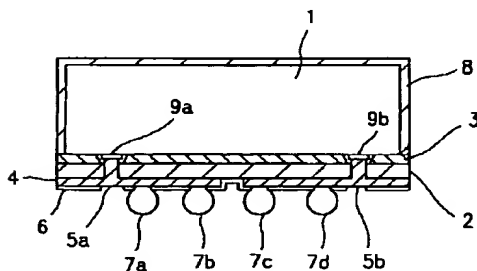
【図10】従来の半導体装置の断面図である。

【図11】従来の半導体装置の断面図である。

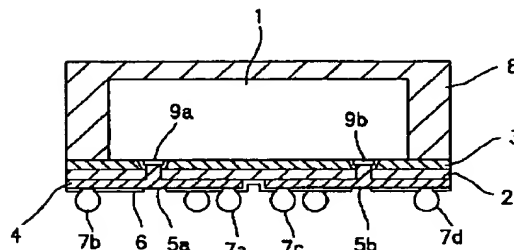
【符号の説明】

- 1、1' 半導体チップ
- 2 ポリイミド基板
- 3 接着剤
- 4 銅箔
- 5、5a、5b 銅スルーホール
- 6 レジスト
- 7、7a、7b、7c、7d 半田バンプ(外部接続端子)
- 8 封入樹脂
- 9、9a、9b 接続電極
- 10 配線パターン
- 11 インシュレータ
- 12a、12b 金属ワイヤ
- 13 エポキシ樹脂
- 14a、14b 銅パターン
- 15a、15b 銅電極

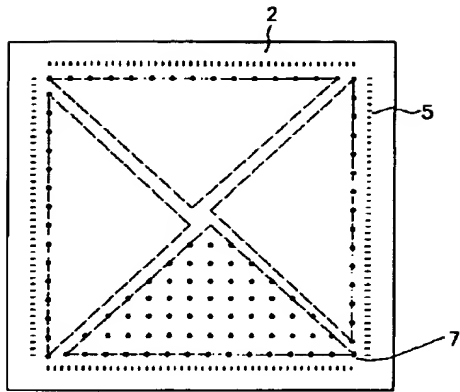
【図1】



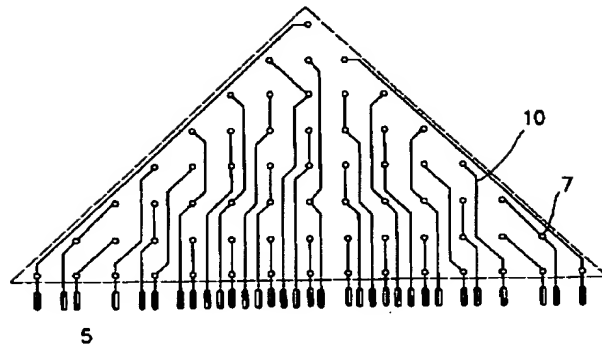
【図4】



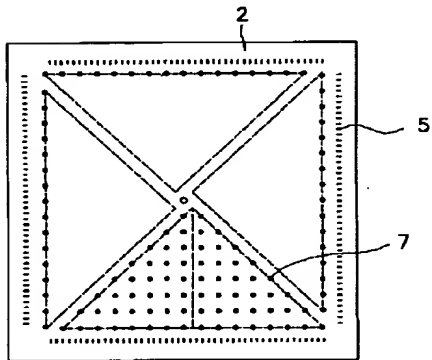
【図2】



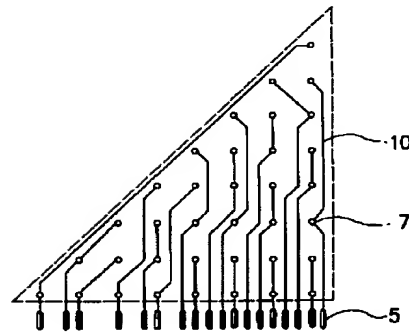
【図3】



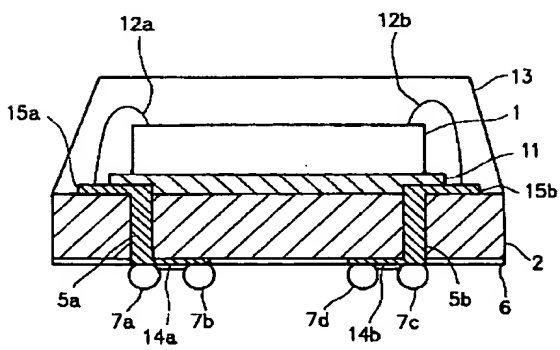
【図5】



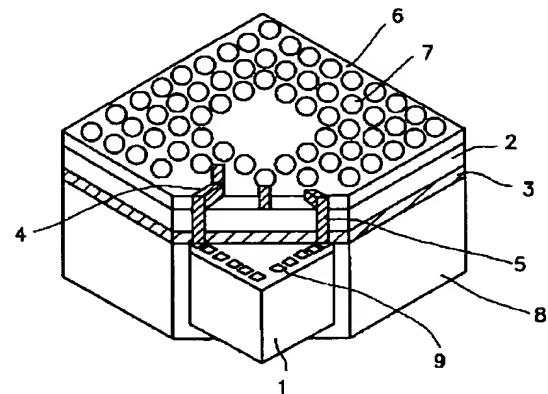
【図6】



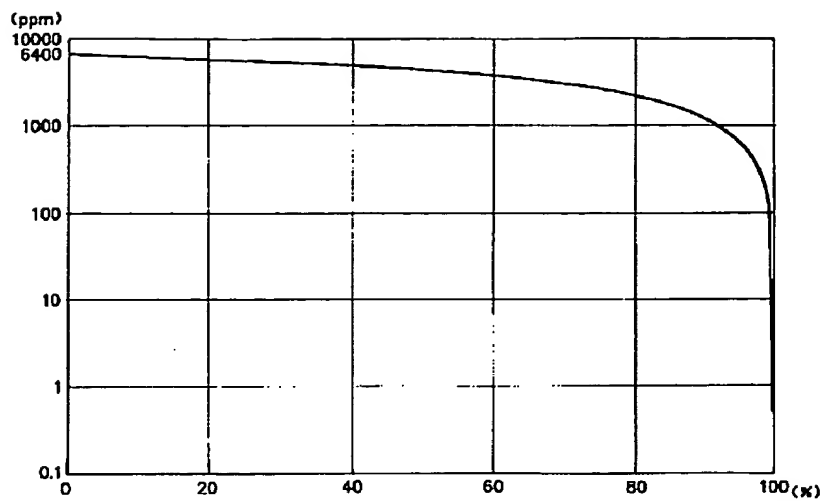
【図7】



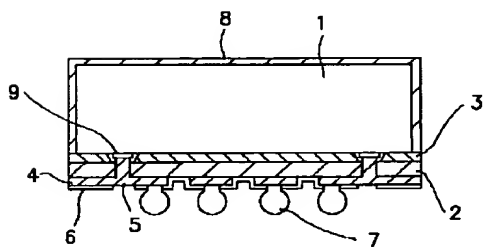
【図9】



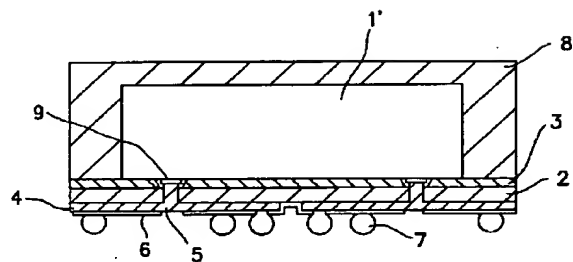
【図8】



【図10】



【図11】



フロントページの続き

(72)発明者 藤井 正弘
東京都港区芝五丁目7番1号 日本電気株
式会社内